

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-053075  
 (43)Date of publication of application : 25.02.1994

(51)Int.Cl. H01G 4/12  
 H01G 4/30  
 H01G 4/42

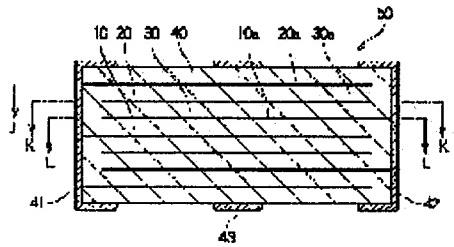
(21)Application number : 04-219719 (71)Applicant : MITSUBISHI MATERIALS CORP  
 (22)Date of filing : 27.07.1992 (72)Inventor : DAANARU PII BAAKUSU

## (54) LAMINATED CERAMIC CAPACITOR FOR BALANCED LINE

### (57)Abstract:

**PURPOSE:** To miniaturize the title capacitor to make it possible to lessen the mounting area of the capacitor, to mount the capacitors on a circuit board in a high density to make it possible to miniaturize an electronic equipment, to improve the responsibility of the capacitor to a filter and to remove a high-frequency noise.

**CONSTITUTION:** Dielectric sheets 10, on the respective surfaces of which each internal electrode 10a, which is extended to one outer periphery of a laminated material and is apart at an interval from the outer periphery on the opposite side to this outer periphery, is formed, dielectric sheets 20, on the respective surfaces of which each internal electrode 20a, which is extended to the outer periphery on the opposite side and is apart at an interval from the one outer periphery, is formed, and dielectric sheets 30, on the respective surfaces of which each internal electrode 30a, which is extended to the mutually opposed two outer peripheries, to which both electrodes 10a and 20a are not extended, and is apart at intervals from the mutually opposed two outer peripheries to which both electrodes 10a and 20a are extended, are alternately stacked to form the laminated material. Moreover, one pair of external electrodes 41 and 42, which are connected to both of the electrodes 10a and 20a, are formed on both side surfaces of the laminated material and external electrodes 43, which are connected to the electrodes 30a, are formed on another both side surfaces of the laminated material. Thereby, three pieces of capacitors are built in the title capacitor and three terminals are integrally formed.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-53075

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 01 G 4/12	3 4 6			
4/30	3 0 1 A	8019-5E		
	D	8019-5E		
4/42	3 3 1	9174-5E		

審査請求 未請求 請求項の数1(全6頁)

(21)出願番号	特願平4-219719	(71)出願人	000006264 三菱マテリアル株式会社 東京都千代田区大手町1丁目5番1号
(22)出願日	平成4年(1992)7月27日	(72)発明者	ダーナル ピー パークス 埼玉県秩父郡横瀬町大字横瀬2270番地 三 菱マテリアル株式会社セラミックス研究所 内

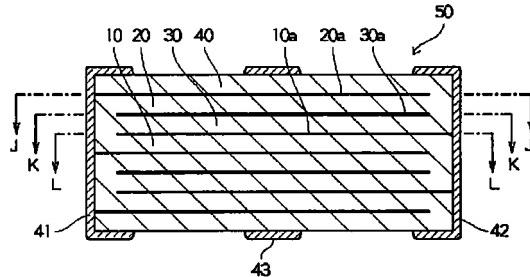
(74)代理人 弁理士 須田 正義

(54)【発明の名称】 平衡線路用積層セラミックコンデンサ

(57)【要約】

【目的】 小型で実装面積が少なくて済み、高密度に回路基板に実装して電子機器を小型化でき、かつフィルタ応答性を改善して、高周波ノイズを除去する。

【構成】 1つの外周辺まで延びこの外周辺と反対側の外周辺とは間隔をあけて内部電極10aを表面に形成した誘電体シート10と、前記反対側の外周辺まで延び前記1つの外周辺とは間隔をあけて内部電極20aを表面に形成した誘電体シート20と、両電極10a, 20aの延びていない相対向する2つの外周辺まで延び両電極10a, 20aの延びている相対向する2つの外周辺とは間隔をあけて内部電極30aを表面に形成した誘電体シート30とを交互に積重ねて積層体45を形成する。積層体の両側面に両電極10a, 20aに接続する一対の外部電極41, 42を形成し、積層体の別の両側面に電極30aに接続する外部電極43を形成する。3個のコンデンサが内蔵され3端子が一体化される。



- 10 第1セラミック誘電体シート(第1セラミックグリーンシート)  
10a 第1内部電極  
20 第2セラミック誘電体シート(第2セラミックグリーンシート)  
20a 第2内部電極  
30 第3セラミック誘電体シート(第3セラミックグリーンシート)  
30a 第3内部電極  
41 第1外部電極  
42 第2外部電極  
43 第3外部電極  
50 積層セラミックコンデンサ

1

## 【特許請求の範囲】

【請求項1】 1つの外周辺まで延びこの外周辺と反対側の外周辺とは間隔をあけて第1内部電極(10a)が表面に形成された角形の第1セラミック誘電体シート(10)と、

前記反対側の外周辺まで延び前記1つの外周辺とは間隔をあけて第2内部電極(20a)が表面に形成された角形の第2セラミック誘電体シート(20)と、

前記第1及び第2内部電極(10a, 20a)の延びていない相対向する2つの外周辺まで延び前記第1及び第2内部電極(10a, 20a)の延びている相対向する2つの外周辺とは間隔をあけて第3内部電極(30a)が表面に形成された第3セラミック誘電体シート(30)とを交互に積重ねて形成された積層体(45)と、

前記積層体(45)の両側面にそれぞれ形成され前記第1及び第2内部電極(10a, 20a)に接続する平衡線路接続用の一対の第1及び第2外部電極(41, 42)と、

前記積層体(45)の別の両側面にそれぞれ形成され前記第3内部電極(30a)に接続する接地用の第3外部電極(43)とを備えた平衡線路用積層セラミックコンデンサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は電話機、モデム等の通信回路、或いはDC-DCコンバータ等の電源供給回路の平衡線路にチップ型ノイズフィルタ(chip noise filter)として用いられる積層セラミックコンデンサに関する。更に詳しくは3個のコンデンサが内蔵されかつ3端子が一体化された、電磁妨害ノイズ(electromagnetic interference)を吸収するに適したチップ型のバイパスコンデンサに関するものである。

## 【0002】

【従来の技術】この種の通信回路又は電源供給回路には、一対の入力線路とアース線路からなる三線の平衡線路(three wire balanced line)が使用される。こうした回路には同相ノイズ(common-mode noise)や差動ノイズ(differential noise)を除去するためにローバスフィルタ又はバイパスフィルタが必要である。具体的には、図17に示すように入力線路Aとアース線路Gとの間に積層セラミックコンデンサC<sub>1</sub>を、入力線路Bとアース線路Gとの間に積層セラミックコンデンサC<sub>2</sub>を、また入力線路AとBの間に積層セラミックコンデンサC<sub>3</sub>をそれぞれ接続したフィルタがしばしば用いられる。従来、上記3個の積層セラミックコンデンサのそれぞれは、1つのシート外周辺まで延びこのシート外周辺と反対側のシート外周辺とは間隔をあけてシート表面に内部電極が形成された角形の2枚のセラミック誘電体シートを一組とし、これら2枚のセラミック誘電体シートを内部電極の延びたシート外周辺がそれぞれ反対側になるよう重ね合せ、この重ね合せた一組のセラミック誘電体シートを複数組積層し一体化してなる積層体と、積層体

2

の両側面にそれぞれ露出した内部電極に接続して形成された一対の外部電極とを備える。そして3個のコンデンサはプリント回路基板に別々に実装される。

## 【0003】

【発明が解決しようとする課題】このため、従来の3個の積層セラミックコンデンサからなるフィルタでは、個別にコンデンサを基板に実装するため、プリント配線が複雑になり、プリント配線の残留インダクタンスのため、フィルタとしてのノイズ吸収性能に劣っていた。更にコンデンサを基板に実装する際に、基板に広い実装面積を必要とし、電子機器を小型化できない問題点があった。本発明の目的は、小型で実装面積が少なくて済み、高密度に回路基板に実装して電子機器を小型化できる平衡線路用積層セラミックコンデンサを提供することにある。本発明の別の目的は、単一の素子で3個のコンデンサを近接して内蔵しつつ3端子を一体化することにより、フィルタ応答性が改善された、三線の平衡線路における同相ノイズや差動ノイズの除去が可能な平衡線路用積層セラミックコンデンサを提供することにある。

## 【0004】

【課題を解決するための手段】上記目的を達成するための本発明の構成を図1、図5及び図8に基づいて説明する。本発明の積層セラミックコンデンサ50は、1つの外周辺まで延びこの外周辺と反対側の外周辺とは間隔をあけて第1内部電極10aが表面に形成された角形の第1セラミック誘電体シート10と、前記反対側の外周辺まで延び前記1つの外周辺とは間隔をあけて第2内部電極20aが表面に形成された角形の第2セラミック誘電体シート20と、両電極10a, 20aの延びていない相対向する2つの外周辺まで延び両電極10a, 20aの延びている相対向する2つの外周辺とは間隔をあけて第3内部電極30aが表面に形成された第3セラミック誘電体シート30とを交互に積重ねて積層体45が形成される。更に、この積層体45の両側面には両電極10a, 20aに接続する平衡線路接続用の一対の第1及び第2外部電極41, 42がそれぞれ形成され、この積層体45の別の両側面には第3内部電極30aに接続する接地用の第3外部電極43がそれぞれ形成される。

## 【0005】

【作用】図8に示すように、コンデンサ50を線路A, B, Gに接続すると、第1外部電極41と第2外部電極42との間で差動ノイズを吸収するための1つのコンデンサC<sub>1</sub>が形成され、第1外部電極41と第3外部電極43との間及び第2外部電極42と第3外部電極43との間でそれぞれ同相ノイズを吸収するための2つのコンデンサC<sub>2</sub>及びC<sub>3</sub>が形成される。このような構成のチップ型の積層セラミックコンデンサは、3個のコンデンサが内蔵されかつ3つの端子電極41, 42, 43が積層体45の側面に一体化するので、第一にフィルタ応答性が改善され、第二に3個のコンデンサを单一の素子の形

50

態で、僅かなスペースと僅かな工数で回路基板に実装することができる。

## 【0006】

【実施例】次に、本発明の実施例を図面に基づいて詳しく説明する。

<実施例1>先ず、誘電体グリーンシートを多数枚用意した。この誘電体グリーンシートはポリエスチルベースシートの上面にチタン酸バリウム系のJIS-R特性を有する誘電体スラリーをドクターブレード法によりコーティングした後、乾燥して形成される。これらのグリーンシートのうち、ある1群を第1セラミックグリーンシートとし、別の群を第2セラミックグリーンシートとし、更に別の群を第3セラミックグリーンシートとした。次いで第1、第2及び第3セラミックグリーンシートの各表面にそれぞれ別々のパターンでAg/Pdを主成分とする導電性ペーストをスクリーン印刷し、80°Cで4分間乾燥した。即ち、図5に示すように第1セラミックグリーンシート10の表面には、1つの外周辺まで延びこの外周辺と反対側の外周辺とは間隔をあけて第1内部電極10aが印刷形成された。また第2セラミックグリーンシート20の表面には、前記反対側の外周辺まで延び前記1つの外周辺とは間隔をあけて第2内部電極20aが印刷形成された。更に第3セラミックグリーンシート30の表面には、両内部電極10a、20aの延びていない相対向する2つの外周辺まで延び両内部電極10a、20aの延びている相対向する2つの外周辺とは間隔をあけて十字状の第3内部電極30aが印刷形成された。この例では、3つの内部電極10aと20aと30aの各面積はそれぞれ等しい。

【0007】図1及び図5に示すように、この例では第2誘電体シート20の上に、第1誘電体シート10、第3誘電体シート30、第2誘電体シート20、第1誘電体シート10、第3誘電体シート30、及び第2誘電体シート20をこの順に積層した。この最上層には導電性ペーストを全く印刷していない第4セラミックグリーンシート40を重ね合わせて合計8層の積層体45を得た。この積層体45を熱圧着して一体化した後、130°Cで約1時間焼成して焼結体を得た。この焼結体をパレル研磨して焼結体の周囲側面に内部電極10a、20a及び30aを露出させた(図6)。この内部電極10a、20aが露出する焼結体の両端部にそれぞれAgを主成分とする導電性ペーストを塗布し、また内部電極30aが露出する焼結体の中央部の全周に同じ導電性ペーストを塗布した後、これらの導電性ペーストを焼付けて一対の第1及び第2外部電極41、42と第3外部電極43をそれぞれ形成した。これにより、図7に示す積層セラミックコンデンサ50が得られた。

【0008】この積層セラミックコンデンサ50の特性を調べるために、図8に示すように一対の入力線路A及びBとアース線路Gのある三線の平衡線路にこの積層セ

ラミックコンデンサ50を接続した。具体的には積層セラミックコンデンサ50の第1外部電極41を線路Aに、第2外部電極42を線路Bに、第3外部電極43を線路Gにそれぞれ接続した。この平衡線路に高周波ノイズ、電磁波等を混入した信号を流したところ、第1外部電極41と第2外部電極42との間で差動ノイズが吸収され、第1外部電極41と第3外部電極43との間及び第2外部電極42と第3外部電極43との間でそれぞれ同相ノイズが吸収された。この例では図8の回路において、3つのコンデンサのキャパシタンスは次式で表わされる。

$$C_1 = C_2 = C_3 \quad (1)$$

【0009】<実施例2>図9～図12は本発明の実施例2の積層セラミックコンデンサの断面図である。これらの図において、図1～図4に示した符号と同一符号は同じ構成部品を示す。この例では第1誘電体シート10の上に、第3誘電体シート30、第2誘電体シート20、第3誘電体シート30、第1誘電体シート10、第3誘電体シート30、及び第2誘電体シート20をこの順に積層した。この最上層には導電性ペーストを全く印刷していない第4セラミックグリーンシート40を重ね合わせて合計8層の積層体45を得た。この例では、内部電極30aの面積は内部電極20aと30aの各面積の半分である。その他の構成は実施例1と同じであるので、繰返しの説明を省略する。この積層セラミックコンデンサの特性は、実施例1と同様であった。ただし、この例では図8の回路において、3つのコンデンサのキャパシタンスは次式で表わされる。

$$C_1 = C_2 = C_3 / 2.5 \quad (2)$$

【0010】<実施例3>図13～図16は本発明の実施例3の積層セラミックコンデンサの断面図である。これらの図において、図1～図4に示した符号と同一符号は同じ構成部品を示す。この例では第2誘電体シート20の上に、第1誘電体シート10、第2誘電体シート20、第3誘電体シート30、第1誘電体シート10、第2誘電体シート20、第1誘電体シート10、第3誘電体シート30、及び第2誘電体シート20をこの順に積層した。この最上層には導電性ペーストを全く印刷していない第4セラミックグリーンシート40を重ね合わせて合計10層の積層体45を得た。この例では、3つの内部電極10aと20aと30aの各面積はそれぞれ等しい。その他の構成は実施例1と同じであるので、繰返しの説明を省略する。この積層セラミックコンデンサの特性は、実施例1と同様であった。ただし、この例では図8の回路において、3つのコンデンサのキャパシタンスは次式で表わされる。

$$C_1 = C_2 = C_3 / 2 \quad (3)$$

【0011】なお、本発明のセラミック誘電体シートの積層数、接地用の第3内部電極30aの面積の広さは上記例に限られるものではなく、必要とされるキャパシタ

ンスに応じて適宜変更することができる。

【0012】

【発明の効果】以上述べたように、本発明によれば、単一の素子で3個のコンデンサを内蔵しかつ3端子を一体化した小型のコンデンサを実現したので、プリント回路基板への実装面積を広く必要とせず、僅かな工数で実装でき、同時にフィルタ応答性を改善できる。また、三線の平衡線路における同相ノイズや差動ノイズの除去することができ、電磁妨害雑音(EMI)を吸収するチップ型ノイズフィルタ(CNF)として好適に利用できる。更に、第1内部電極の面積に対して第2内部電極の面積を可変にすれば、内蔵するコンデンサのキャパシタンスを変更できる利点もある。

【図面の簡単な説明】

【図1】本発明実施例の積層セラミックコンデンサのC<sub>1</sub>=C<sub>2</sub>=C<sub>3</sub>/2の関係が成立する図7のH-H線断面図。

【図2】そのJ-J線断面図。

【図3】そのK-K線断面図。

【図4】そのL-L線断面図。

【図5】その積層体の積層前の斜視図。

\*する断面図。

【図10】そのM-M線断面図。

【図11】そのN-N線断面図。

【図12】そのO-O線断面図。

【図13】本発明別の実施例の積層セラミックコンデンサのC<sub>1</sub>=C<sub>2</sub>=C<sub>3</sub>/2の関係が成立する図1に対応する断面図。

【図14】そのP-P線断面図。

【図15】そのQ-Q線断面図。

【図16】そのR-R線断面図。

【図17】従来の積層セラミックコンデンサを平衡線路に接続した回路図。

【符号の説明】

10 第1セラミック誘電体シート(第1セラミックグリーンシート)

10a 第1内部電極

20 第2セラミック誘電体シート(第2セラミックグリーンシート)

20a 第2内部電極

30 第3セラミック誘電体シート(第3セラミックグリーンシート)

30a 第3内部電極

41 第1外部電極

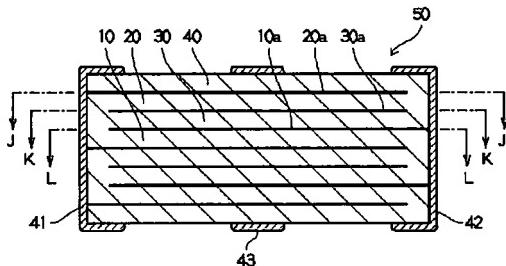
42 第2外部電極

43 第3外部電極

45 積層体

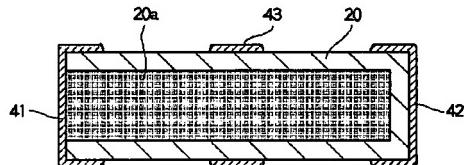
50 積層セラミックコンデンサ

【図1】

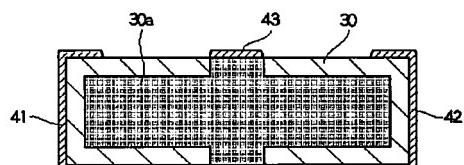


- 10 第1セラミック誘電体シート(第1セラミックグリーンシート)
- 10a 第1内部電極
- 20 第2セラミック誘電体シート(第2セラミックグリーンシート)
- 20a 第2内部電極
- 30 第3セラミック誘電体シート(第3セラミックグリーンシート)
- 30a 第3内部電極
- 41 第1外部電極
- 42 第2外部電極
- 43 第3外部電極
- 50 積層セラミックコンデンサ

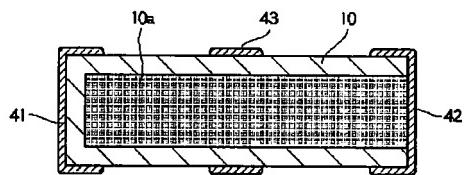
【図2】



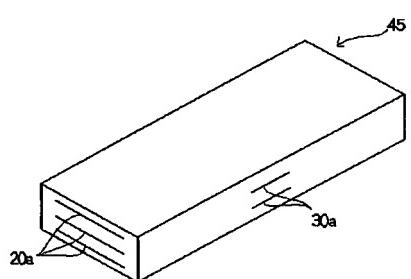
【図3】



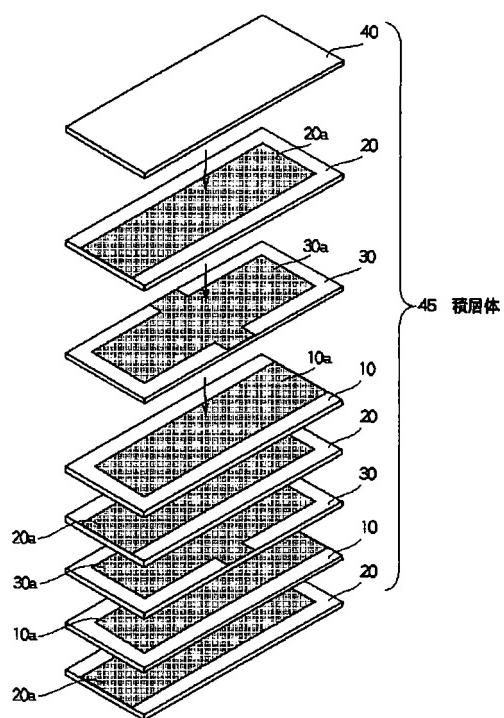
【図4】



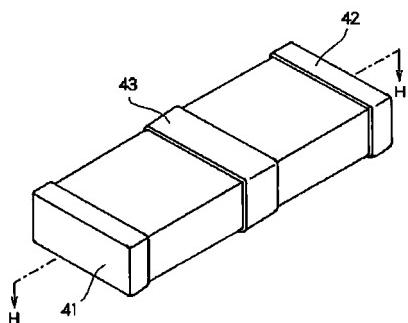
【図6】



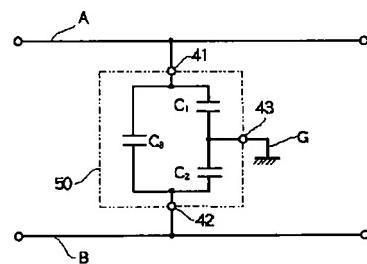
【図5】



【図7】

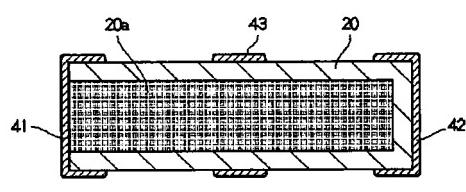
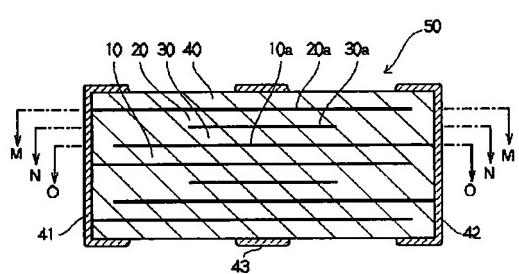


【図8】

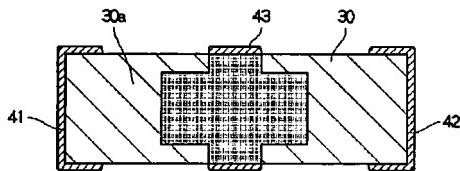


【図10】

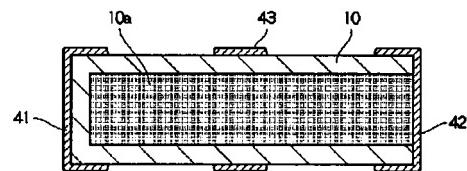
【図9】



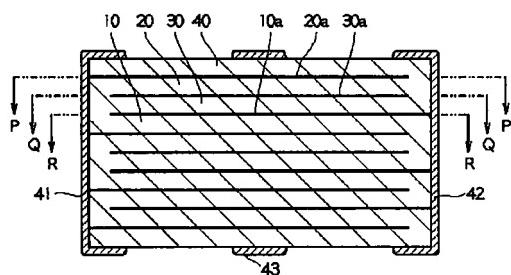
【図11】



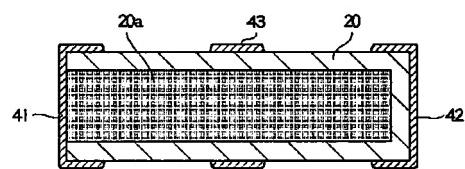
【図12】



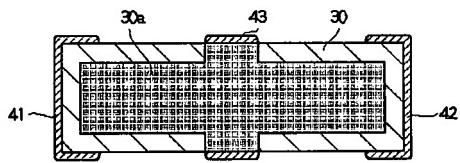
【図13】



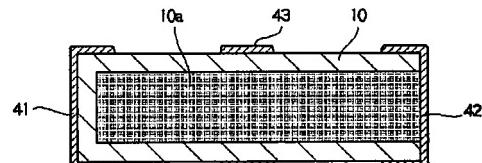
【図14】



【図15】



【図16】



【図17】

